

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

10077879

Basic Patent (No,Kind,Date): JP 3185874 A2 910813 <No. of Patents: 001>

MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): KUNII MASABUMI

IPC: *H01L-029/784; H01L-021/20; H01L-021/84

CA Abstract No: 115(22)245994Y

Derwent WPI Acc No: C 91-278689

JAPIO Reference No: 150442E000059

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applie No	Kind	Date
JP 3185874	A2	910813	JP 89325038	A	891215 (BASIC)

Priority Data (No,Kind,Date):

JP 89325038 A 891215

BEST AVAILABLE COPY

03522974 **Image available**
MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.: 03-185874 [JP 3185874 A]
PUBLISHED: August 13, 1991 (19910813)
INVENTOR(s): KUNII MASABUMI
APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
, JP (Japan)
APPL. NO.: 01-325038 [JP 89325038]
FILED: December 15, 1989 (19891215)
INTL CLASS: [5] H01L-029/784; H01L-021/20; H01L-021/84
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass
Conductors)
JOURNAL: Section: E, Section No. 1131, Vol. 15, No. 442, Pg. 59,
November 11, 1991 (19911111)

ABSTRACT

PURPOSE: To form a high quality crystalloid semiconductor thin film on an insulating substrate for eliminating an unstable process such as H(sub 2) plasma process by a method wherein an amorphous semiconductor is annealed meeting specific requirements and later, at least performing the second annealing process by a specific method.

CONSTITUTION: An amorphous semiconductor 102 is deposited on an insulating amorphous substrate 101 and annealed at the temperature of 500-700 deg.C for 5-90 hours. Later, the temperature is raised up to a specified temperature at the raising rate exceeding 10 deg.C/sec. and then the whole body is annealed for more than one second at the specified temperature. That is, in the process after the solid phase growth, the poly-Si thin film 102 is rapid thermal annealed. That is, a specific temperature change is made in the poly-Si thin film 102. At this time, the requirements for the raising temperature rate of 5-100 deg.C/sec. or less, the lowering temperature rate of 40 deg.C/sec. or less as well as the annealing time in the temperature raising process of one sec. or more will suffice for the title manufacture however, it is recommended that the temperature cycle as shown by a specific curve is to be made. After performing the RTA process, amorphous regions 104 can be completely transferred to a crystalloid thereby enabling new crystal particle fields 105 to be developed.

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 平3-185874

⑬ Int. Cl. 5 識別記号 庁内整理番号 ⑭ 公開 平成3年(1991)8月13日
H 01 L 29/784 7739-5F
21/20 7739-5F
21/84 9056-5F H 01 L 29/78 311 F
審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 薄膜半導体装置の製造方法

⑯ 特 願 平1-325038
⑰ 出 願 平1(1989)12月15日

⑱ 発明者 国井 正文 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
⑲ 出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社
⑳ 代理人 弁理士 鈴木 喜三郎 外1名

明細書

1. 発明の名称

薄膜半導体装置の製造方法

2. 特許請求の範囲

絶縁性非晶質基板上に非晶質半導体を堆積させる工程と、該非晶質半導体を500～700°Cの温度で5分間～90時間アニールする第1のアニール工程と、第1のアニール工程後、10°C/秒以上の昇温速度で900°C以上の所定の温度まで昇温させ、前記所定の温度で1秒間以上アニールする第2のアニール工程とを少なくとも含むことを特徴とする薄膜半導体装置の製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は薄膜半導体装置の製造方法に関する。

[従来の技術]

近年、大型で高解像度のアクティブマトリクス液晶表示パネル、高速で高解像度の密着型イメージセンサ、3次元IC等への実現に向けて、ガラ

ス、石英等の絶縁性非晶質基板や、SiO₂等の絶縁性非晶質層上に、高性能な半導体素子を形成する試みがなされている。特に、大型の液晶表示パネル等に於いては、低コストの要求を満たすために、安価な低融点ガラス基板上に薄膜トランジスタ(TFT)を形成することが必須の要求になりつつある。従来は、低融点ガラス上に形成するTFTの活性層に、例えば Journal of Applied Physics Vol.65(10) p.3951(1989) 等にみられるように、非晶質Si(a-Si)を用いたもの、Solid State Electronics Vol.32 (5) p.391 (1989)、IEEE Electron Device Letters Vol.10 (3) p.123 (1989)、IEEE Transactions on Electron Devices, Vol.36 (3) p. 529 (1989) 等にみられるように、多結晶Si(poly-Si)を用いたものがある。

[発明が解決しようとする課題]

しかし、TFTの活性層をa-Siで作製すると、a-Si中の電界効果移動度が小さいため、最近開発が盛んになってきた高品位TV(HDTV)

V)への応用を考えるときわめて不十分な性能であった。この点を解決するため、TFTの活性層をa-Siではなく減圧化学気相成長法(LPCVD)で成膜した多結晶Siや、a-Siをアニールして固相成長させることにより大粒径化したpoly-Siで作製し、TFTの高性能化をはかる試みがある。固相成長の方法は、従来から600°C程度の温度で非晶質半導体薄膜をアニールして結晶成長させる方法が一般的であった。しかし、600°C程度の温度で長時間アニールしても結晶粒界に非晶質成分が残存し、良好な結晶質薄膜が得られないという問題点があった。このため従来はこの非晶質成分を完全に結晶質に変えるため、1000°C以上の温度で30min.程度再びアニールを施していた。ところがこの様なアニール方法を採用すると、できあがった結晶粒界中にトラップ準位が多数存在し、粒界バリアハイトが高く、結晶中のキャリアの電界効果易動度が小さくなりTFTの性能が上がらない。そこで結晶粒界中のトラップ準位を終端化する目的でTFT

記所定の温度で1秒間以上アニールする第2のアニール工程とを少なくとも含むことを特徴とする。

[実施例]

以下、第1図をもとに固相成長アニールの方法を説明する。まず石英基板あるいはガラス基板等の絶縁基板101上に非晶質半導体102を成膜する。本実施例では非晶質半導体の例に非晶質シリコンを用いて説明するが、非晶質Ge、非晶質SiGeでも同様に適用できる。尚基板にはSiO₂で覆われたSi基板を用いることもある。石英基板あるいはSiO₂で覆われたSi基板を用いる場合は1200°Cの高温プロセスにも耐えることができるが、ガラス基板を用いる場合は軟化温度が低いために約600°C以下の低温プロセスに制限される。はじめに絶縁基板101上に非晶質シリコン薄膜102を堆積させる(第1図(a))。該非晶質シリコン薄膜102は一様で、微小な結晶子は含まれておらず結晶成長の核が全く存在しないことが望ましい。減圧化学気相成長法(LPCVD)の場合には、デボ温度がなるべく低く、

をH₂プラズマ中に浸してTFTの高性能化を図る試みもあった。しかし、H₂プラズマを絶縁基板上のTFTに施すとチャージアップが起こりTFTが破壊されてしまうという問題が頻繁に起こる。また、長時間の高温アニールが必要になるので、低コストの低融点ガラス基板を使えない等の問題点があった。

本発明は以上の問題点を解決するもので、その目的は高品質の結晶質半導体薄膜を絶縁基板上に形成し、TFTを作製することにより従来必要だったH₂プラズマプロセスのような不安定なプロセスを必要としないTFTの製造方法を提供することにある。

[課題を解決するための手段]

本発明の薄膜半導体装置の製造方法は、絶縁性非晶質基板上に非晶質半導体を堆積させる工程と、該非晶質半導体を500~700°Cの温度で5分間~90時間アニールする第1のアニール工程と、第1のアニール工程後、10°C/秒以上の昇温速度で900°C以上の所定の温度まで昇温させ、前

デボ速度が早い条件が適している。LPCVDでシランガス(SiH₄)を用いる場合は500°C~560°C程度、ジシランガス(Si₂H₆)を用いる場合は300°C~500°C程度のデボ温度で分解堆積が可能である。トリシランガス(Si₃H₈)は分解温度が更に低くなる。デボ温度を高くすると堆積した膜が多結晶になるので、Siイオン注入によって一旦非晶質化する方法もある。プラズマ化学気相成長法(PCVD)の場合は、基板温度が500°C以下でも成膜できる。本実施例ではPCVD法を用い、成膜ガスにはSiH₄ 10%、H₂ 90%の混合ガスを用いた。基板温度は150~240°Cで、特に180°Cが望ましい。混合ガスの内圧は0.8 Torr、rfパワー=63mW/cm²、rf周波数=13.56MHzを用いた。

PCVDではデボ直前に水素プラズマあるいはアルゴンプラズマ処理を行えば、基板表面の清浄化と成膜を連続的に行うことができる点が有利である。光励起CVD法の場合も500°C以下の低

温デボ及び基板表面の清浄化と成膜を連続的に行うことができる点で効果的である。電子ビーム蒸着法などのような高真空中蒸着法の場合は膜がボラスであるために大気中の酸素を膜中に取り込み易く、結晶成長の妨げとなる。このことを防ぐために、固相成長アニール前に300°C~500°C程度の低温熱処理を行い膜を緻密化させることが有効である。スパッタ法の場合も高真空中蒸着法の場合と同様である。

以上のようにして作製したpoly-Si薄膜において、薄膜を固相成長させるアニール工程を行う。固相成長方法は、石英管による炉アニールが便利である。アニール雰囲気としては、窒素ガス、水素ガス、アルゴンガス、ヘリウムガスなどを用いる。 1×10^{-6} から 1×10^{-10} Torrの高真空中雰囲気でアニールを行ってもよい。固相成長アニール温度は、およそ500°C~700°Cとし、600°C程度で5~20時間程のアニールが望ましい。低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶

化し、TFTの高性能化を図る試みもある。しかし、電離プラズマ、イオン等を絶縁基板上のTFTに晒すとチャージアップが起こりTFTが破壊されてしまうという問題が頻繁に起こる。また、ゲート電極をn型poly-Siで作成すると、水素化したノンドープpoly-Siがn型寄りの性質を示すため、TFTのしきい電圧 V_{th} が、特にnチャネルTFTの場合で-1V程度にシフトするという問題点があった。この特性シフトの問題は、nチャネルTFTではOFF電流の増大となって現れる。この問題を解決するため従来は、TFTのチャネルpoly-Siに微量のホウ素をドーピングする、いわゆるチャネルドーピング法でpoly-Siをp型寄りにする方法が取られていた。しかし、チャネルドーピングをイオン打ち込み法で行う場合はドーピング量の制御が難しく、工程も1工程分増加し複雑化するという問題点があった。

そこで本実施例では、第1図(b)の段階、即ち固相成長後の工程で、ラピッドサーマルアニ

粒のみがゆっくりと成長し、粒径約1μmの大粒径多結晶シリコン103ができる(第1図(b))。この様にして作製したpoly-Si薄膜の結晶粒界には、微視的には非晶質領域104が残っている。第1図(b)では、この非晶質領域104を誇張して描いてある。この粒界での非晶質領域104は固相成長アニール時間を長くしても完全には結晶質に転移させることはできない。このため従来はこの段階、或はTFT作製時に於けるゲート酸化膜の作製工程で1000°Cの高温処理を行うことにより、非晶質領域104を結晶質に転移させる工程が必要だった。ところがこの様なアニール方法を採用すると、できあがった結晶粒界中にトラップ準位密度が $1.2 \times 10^{12} \text{ cm}^{-2}$ 程度あり、結晶中のキャリアの電界効果易動度がnチャネルの場合最大でも $50 \text{ cm}^2/\text{V}\cdot\text{s}$ 以上にはならなかった。そこでH₂プラズマ法、水素イオン注入法、或はプラズマ窒化膜からの水素の拡散法等の方法で水素イオンを導入し、結晶粒界等にあるダングリングボンド・欠陥準位を終端

ーリング(RTA)をpoly-Si薄膜に施した。即ち、第3図の曲線に示すような温度変化をpoly-Si薄膜に与えた。昇温速度は5~100°C/sec.、降温速度は40°C/sec.以下であれば良く、昇温時のアニール時間は1sec.以上であれば良いが、第3図に示す曲線の様な温度サイクルを与えることが望ましい。RTA後、非晶質領域104は完全に結晶質に転移し、新たな結晶粒界105ができる(第1図(c))。この様な方法で作製したpoly-Si薄膜は結晶粒界におけるトラップ密度が $6.2 \times 10^{11} \text{ cm}^{-2}$ 低く、粒界バリアハイトが小さく、なおかつ平均結晶粒径が1μm以上の大粒径poly-Si薄膜であるという特徴を持つ。この様にして作製したTFTはnチャネルの場合電界効果移動度が $150 \text{ cm}^2/\text{V}\cdot\text{s}$ までになる。このためこのpoly-Siを用いてTFTを作製すれば従来必要だったH₂プラズマプロセス等の水素化プロセスが必要なくなる。それに伴ってnチャネルTFTのチャネルドーピングも省略できるという

大きな利点が生まれる。

本発明を用いて作製した大粒径多結晶シリコン薄膜を、薄膜トランジスターに応用した例を第2図にしたがって説明する。固相成長させて得られた大粒径多結晶シリコン薄膜基板を第2図(a)に示す。201は絶縁基板である。202は固相成長により形成された大粒径多結晶シリコン薄膜である。203は結晶粒界をしめす。次に前記シリコン薄膜をフォトリソグラフィ法によりパターニングして第2図(b)に示すように島状にし、チャネル領域を作製する。次に第2図(c)に示されているように、ゲート絶縁膜204を形成する。該ゲート絶縁膜の形成方法としてはLPCVD法、あるいは光励起CVD法、あるいはプラズマCVD法、ECRプラズマCVD法、あるいは高真空蒸着法、あるいはプラズマ酸化法、あるいは高圧酸化法などのような500°C以下の低温方法がある。該低温方法で成膜されたゲート絶縁膜は、熱処理することによってより緻密で界面準位の少ない優れた膜となる。非晶質絶縁基板201

電極205をマスクとして不純物をイオン注入し、自己整合的にソース領域206およびドレイン領域207を形成する。前記不純物としては、Nc、nトランジスタを作製する場合はP、あるいはAs⁺を用い、Pchトランジスタを作製する場合はB⁺等を用いる。不純物添加方法としては、イオン注入法の他に、レーザードーピング法あるいはプラズマドーピング法などの方法がある。208で示される矢印は不純物のイオンビームを表している。前記非晶質絶縁基板201として石英基板を用いた場合にはドーピングに熱拡散法を使うことができる。不純物濃度は、 1×10^{15} から $1 \times 10^{20} \text{ cm}^{-3}$ 程度とする。

続いて第2図(f)に示されるように、層間絶縁膜209を積層する。該層間絶縁膜材料としては、酸化膜あるいは窒化膜などを用いる。絶縁性が良好ならば膜厚はいくらでもよいが、数千Åから数μm程度が普通である。窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガス(

として石英基板を用いる場合は、熱酸化法によることができる。該熱酸化法にはdry酸化法とwet酸化法とがあるが、酸化温度は1000°C以上と高いが膜質が優れていることからdry酸化法の方が適している。

次に第2図(d)に示されるように、ゲート電極205を形成する。該ゲート電極材料としてはpoly-Si、あるいはモリブデンシリサイド、あるいはアルミニウムやクロムなどのような金属膜、あるいはITOやSnO₂などのような透明性導電膜などを用いることができる。成膜方法としては、CVD法、スパッタ法、真空蒸着法、等の方法があるが、ここでの詳しい説明は省略する。poly-Siをゲート電極に用いる場合には、本発明がそのまま適用できる。即ち、ドープト非晶質半導体薄膜を固相成長させて大粒径poly-Si薄膜を作製後、RTAを施すことにより、ゲート電極の高品質化と低抵抗化を図ることができる。

続いて第2図(e)に示すように、前記ゲート

NH_3)とシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。

次に第2図(g)に示すように、前記層間絶縁膜及びゲート絶縁膜にコンタクトホールを形成し、コンタクト電極を形成しソース電極210およびドレイン電極211とする。該ソース電極及びドレイン電極は、アルミニウムなどの金属材料で形成し、TFTの完成となる。

[発明の効果]

本発明によって得られた大粒径多結晶シリコン薄膜を用いて薄膜トランジスタを作成すると、優れた特性が得られる。従来に比べて、薄膜トランジスタのON電流は増大しOFF電流は小さくなる。またスレッシホールド電圧も小さくなりトランジスタ特性が大きく改善する。

非晶質絶縁基板上に優れた特性の薄膜トランジスタを作製することが可能となるので、ドライバー回路を同一基板上に集積したアクティブラジオクス基板に応用した場合にも十分な高速動作が実

現する。さらに、電源電圧の低減、消費電流の低減、信頼性の向上に対して大きな効果がある。また、600°C以下の低温プロセスによる作製も可能なので、アクティブマトリクス基板の低価格化及び大面積化に対してもその効果は大きい。

本発明を、光電変換素子とその走査回路を同一チップ内に集積した密着型イメージセンサーに応用した場合には、読み取り速度の高速化、高解像度化、さらに階調をとる場合に非常に大きな効果をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサーへの応用も容易となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果は大きい。また低温プロセスによって作製することができるので、密着型イメージセンサーチップの長尺化が可能となり、一本のチップでA4サイズあるいはA3サイズの様な大型ファクシミリ用の読み取り装置を実現できる。従って、センサーチップの二本継ぎのような工数がかかり信頼性の悪い技術を回避することができ、実装歩留りも向上する。

105、203…………結晶粒界

204…………ゲート絶縁膜

205…………ゲート電極

206…………ソース領域

207…………ドレイン領域

208…………イオンビーム

209…………層間絶縁膜

210…………ソース電極

211…………ドレイン電極

以上

出願人 セイコーエプソン株式会社

代理人弁理士 鈴木喜三郎（他1名）

石英基板やガラス基板だけではなく、サファイア基板 (Al_2O_3) あるいは $\text{MgO} \cdot \text{Al}_2\text{O}_3$, BP , CaF_2 等の結晶性絶縁基板も用いることができる。

以上薄膜トランジスタを例として説明したが、バイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなど薄膜を利用した素子に対しても、本発明を応用することができる。また、三次元デバイスのようなSOI技術を利用した素子に対しても、本発明を応用することができる。

4. 図面の簡単な説明

第1図は本発明の固相成長アニールの工程図。

第2図は本発明の薄膜半導体装置の製造方法を薄膜トランジスタに応用した製造工程図。

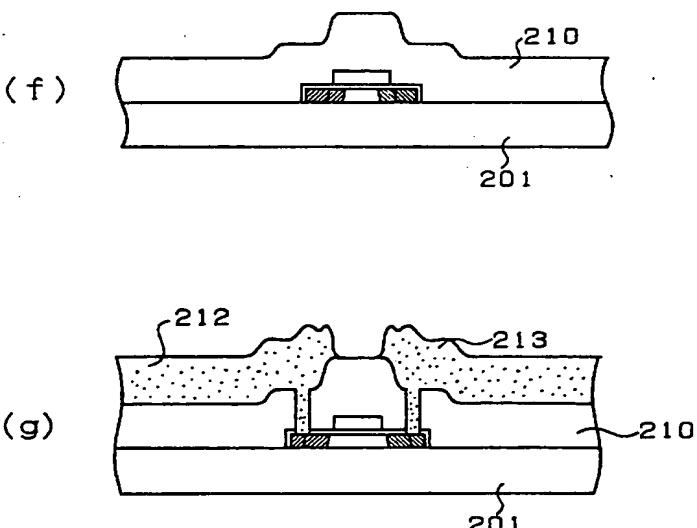
第3図はRTA工程の温度サイクルの1例を示す図。

101、201…………絶縁基板

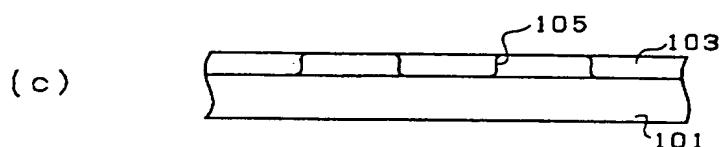
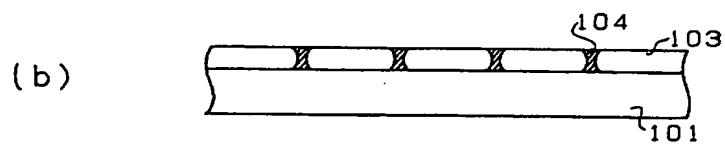
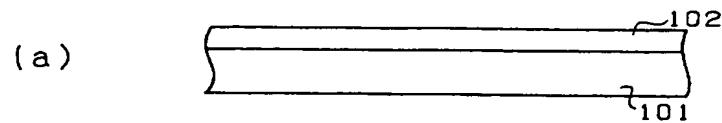
102…………非晶質半導体

103、202…………大粒径多結晶シリコン

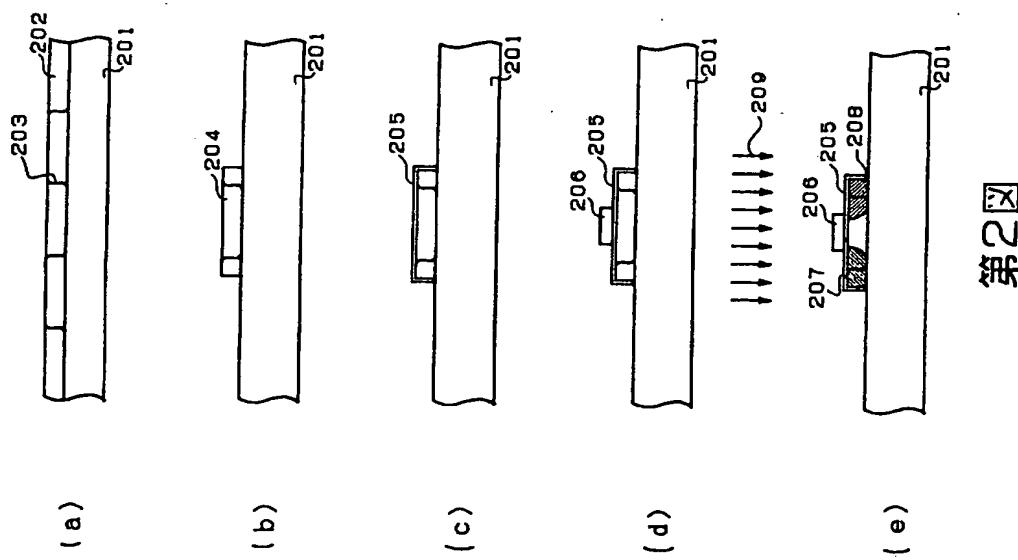
104…………非晶質領域

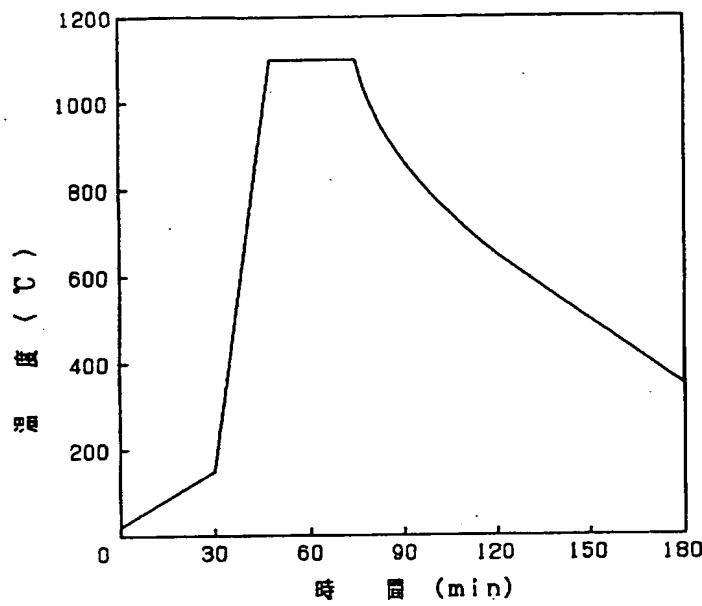


第2図



第1図





第3図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.